

1. Trajectographe
2. Chambres à muons vers l'avant

S.Viret

pour les collaborations tracker/muon (IPNL/IPHC/OMEGA)

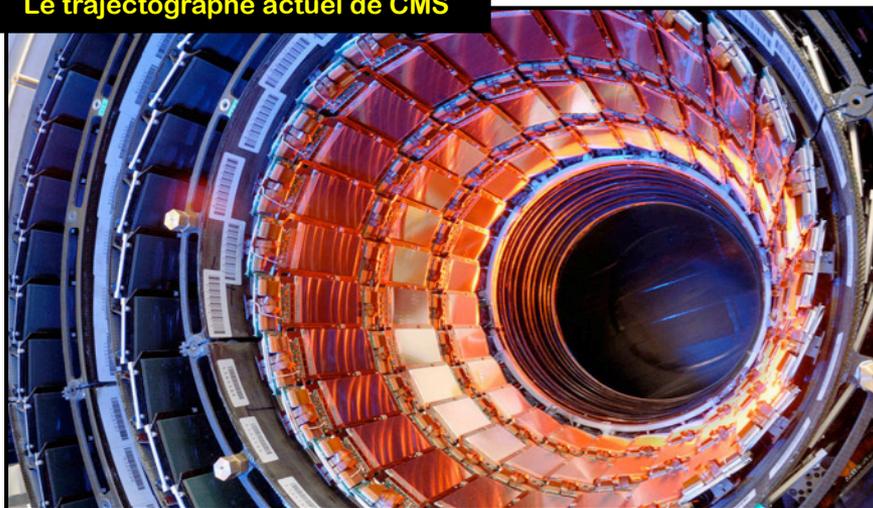
Trajectographe

→ Comment optimiser l'utilisation du trajectographe de CMS au HL-LHC?

→ Au HL-LHC, il faudra faire aussi bien qu'au LHC dans un environnement beaucoup plus exigeant.

→ Le futur trajectographe devra faire face à des événements beaucoup plus complexes et être intégré au premier niveau du système de déclenchement de CMS (L1).

Le trajectographe actuel de CMS



→ Pour améliorer un trajectographe il faut:

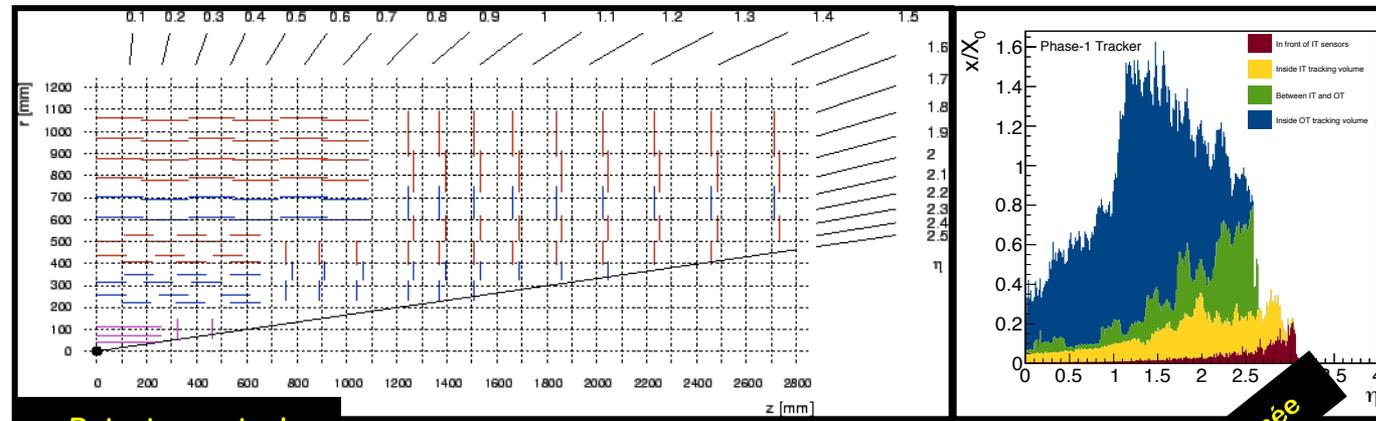
- **Le rendre plus transparent**
- **Augmenter sa granularité**

→ Pour l'utiliser dans le déclenchement à 40MHz il faut:

- **Extraire les données à cette fréquence**
- **Reconstruire ces données en 5 μ s**

→ Chacun de ces points fait l'objet d'intenses programmes de R&D, dans lesquels l'IPNL et l'IPHC sont fortement impliqués depuis plusieurs années

→ Un détecteur plus transparent

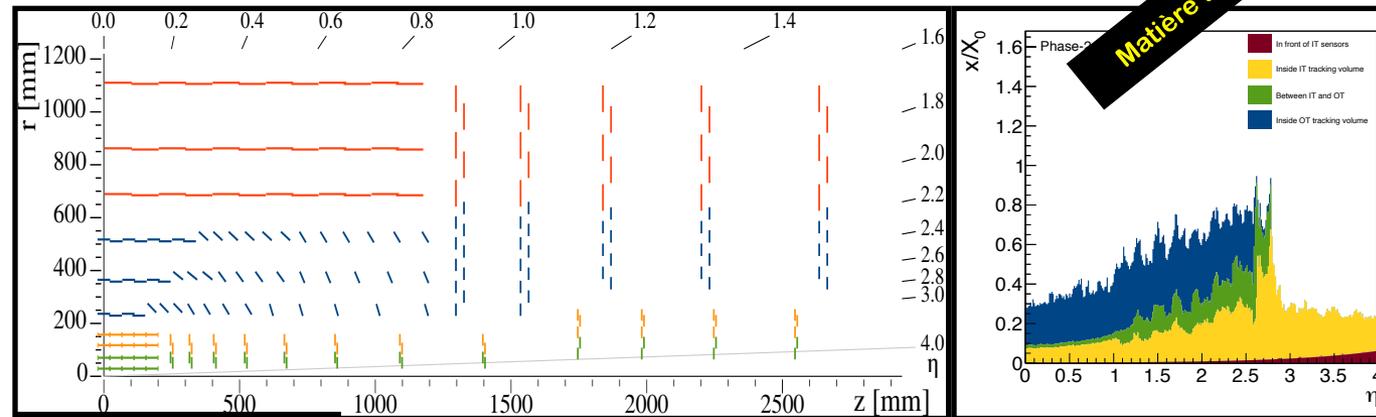


Détecteur actuel

→ Réduction du nombre de couches traversées

→ Modification des structures de support

→ Lecture/contrôle des modules par fibres optiques bidirectionnelles à très haut débit



Détecteur Phasell

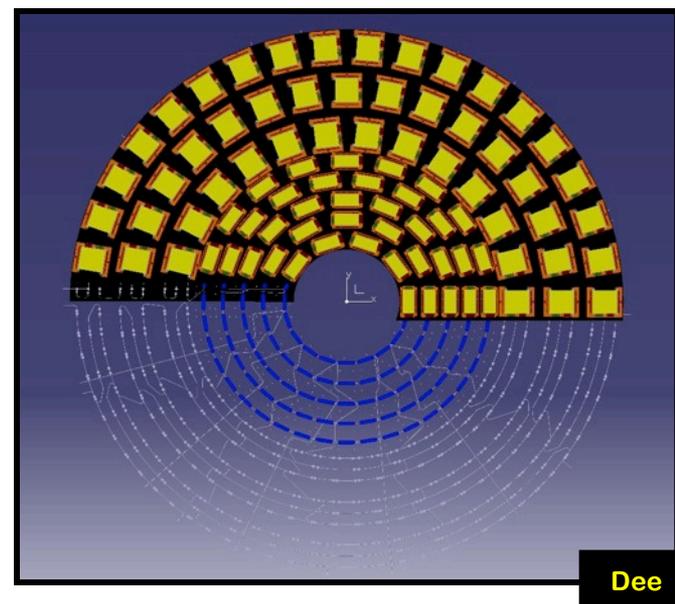
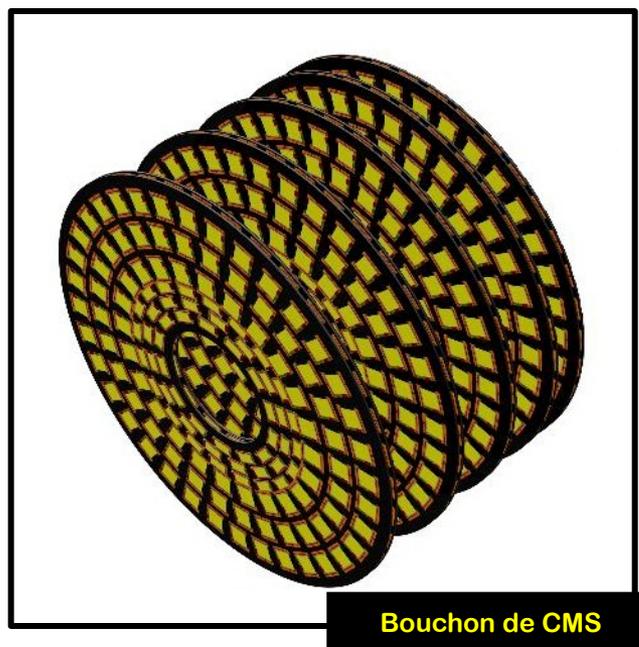
→ Modification du système de refroidissement (CO_2 biphasé)

→ Electronique de lecture basse puissance

→ Réduction jusqu'à un facteur 2 de la quantité de matière traversée

→ Structure mécanique des disques

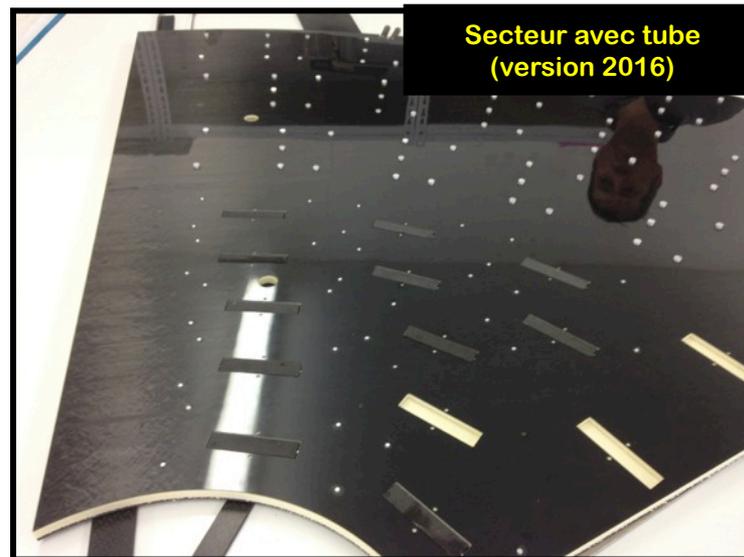
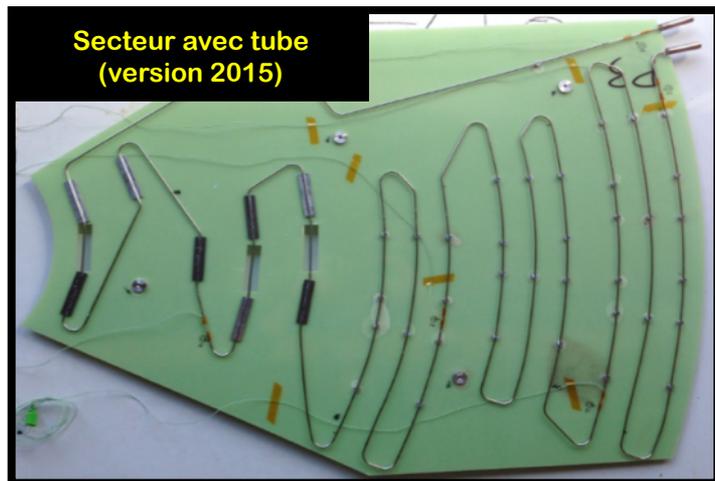
→ Chaque bouchon sera composé de 5 disques, eux-mêmes composés de 4 demi-disques en fibre de carbone (**Dees**) intégrant le circuit de refroidissement. **L'IPNL est maître d'œuvre pour la conception de ces éléments.**



→ L'expertise de l'IPNL dans ce domaine (*réalisation d'un des bouchons du tracker actuel*) est reconnue. **Le but à terme est de s'engager sur l'assemblage et les tests des Dees d'un bouchon entier (en collaboration avec la Belgique).** Une salle dédiée est en cours d'aménagement à l'IPNL (*financée par le Labex LIO*)

→ Développements en cours à l'IPNL

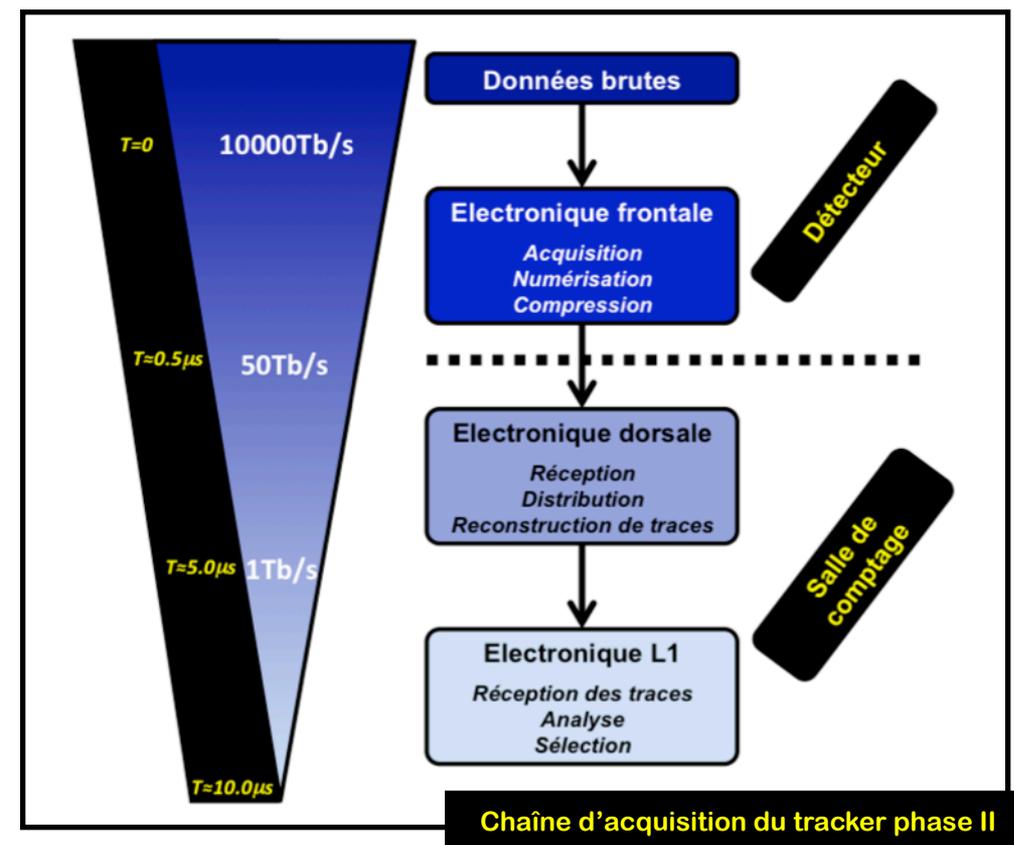
→ Différents prototypes de mini-Dees ont déjà été produits et testés par les services de l'IPNL (avec une contribution importante d'entreprises locales). Premiers pas vers la **production d'un Dee complet (2018)**, élément fondamental pour la mise en place des **protocoles d'assemblages et de tests**.



→ En parallèle, le bureau d'études de l'IPNL a commencé à travailler sur **l'assemblage des disques** (disques/supports/services).

→ Reconstruction des traces au L1

→ Obligatoire pour conserver des seuils suffisamment bas avec un empilement moyen de 200



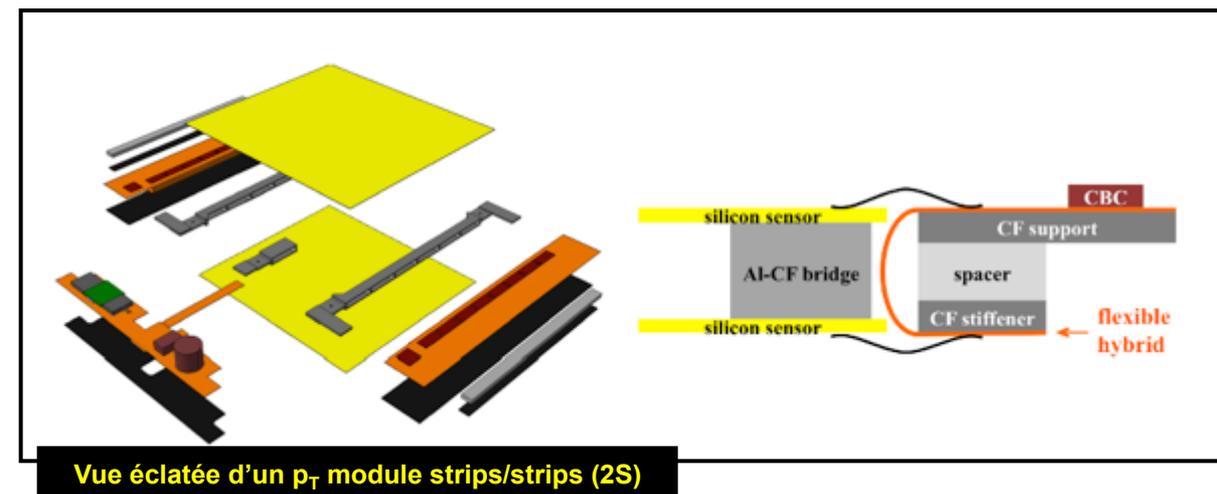
→ Cahier des charges: collecter et distribuer les données sélectionnées à 40MHz et fournir les traces au système global en moins de $5\mu\text{s}$.

→ Refonte totale de la chaîne d'acquisition, et le développement d'un système de reconstruction purement électronique

→ **Projet majeur de l'upgrade de CMS.**

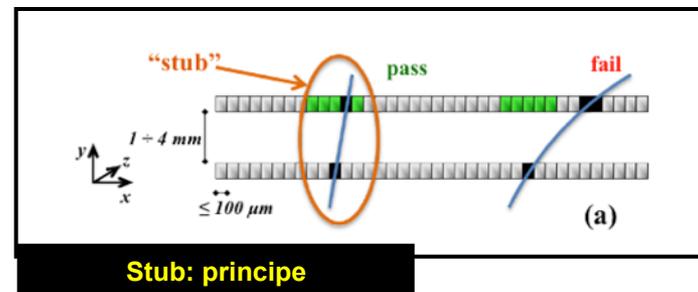
→ Extraction des données (1/3): une architecture dédiée

→ Les modules de détection sont constitués de 2 couches de silicium séparées de quelques mm.

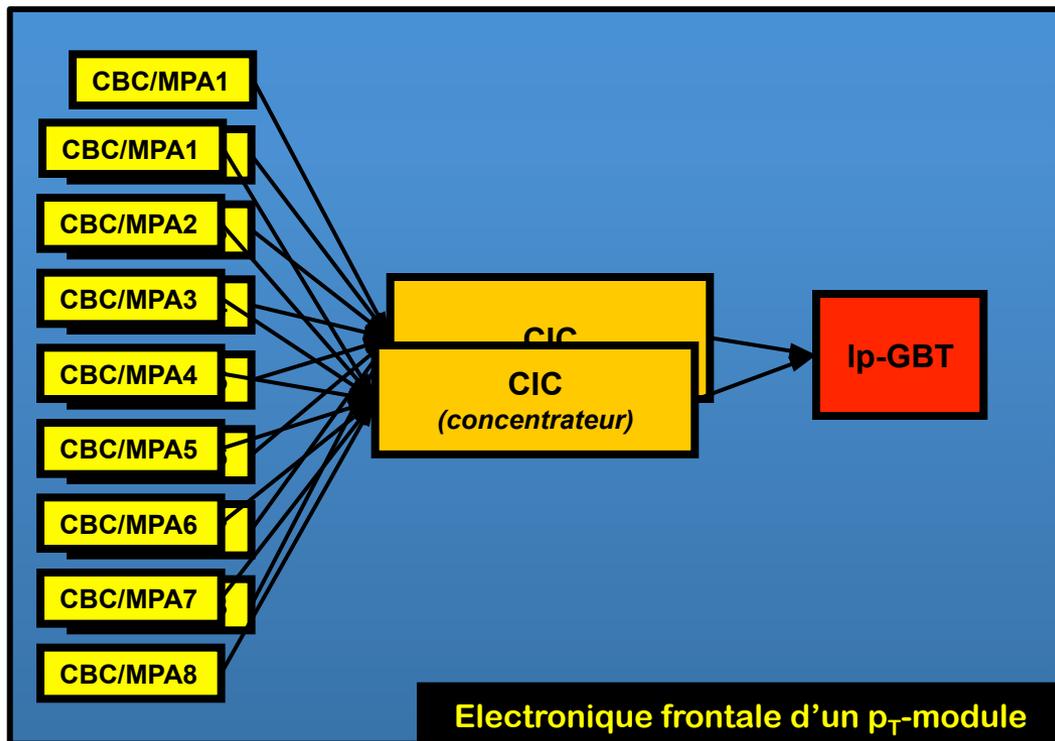


→ Pour réduire la quantité de signal à extraire au L1, on reconstruit seulement les coïncidences entre clusters correspondant à une trace de p_T élevé (**stub**).

→ Pour un p_T minimal de $2\text{GeV}/c$, le taux de réduction est au minimum d'un ordre de grandeur. Suffisant pour sortir les infos trigger.



→ Extraction des données (2/3): une électronique frontale complexe



→ Chaque module de détection contient **19 ASICs** de traitement des données:

- 16 CBC/MPA (*Imperial College/CERN*)
- 2 CIC (*IPNL/CERN*)
- 1 Ip-GBT (*CERN*)

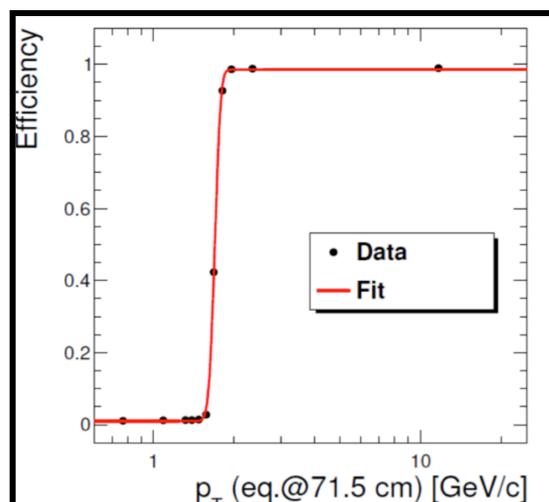
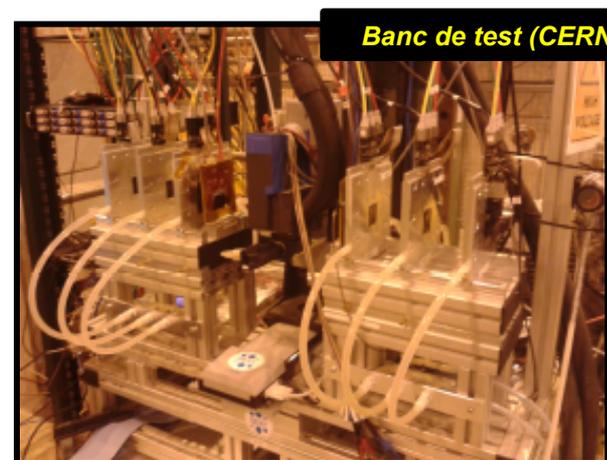
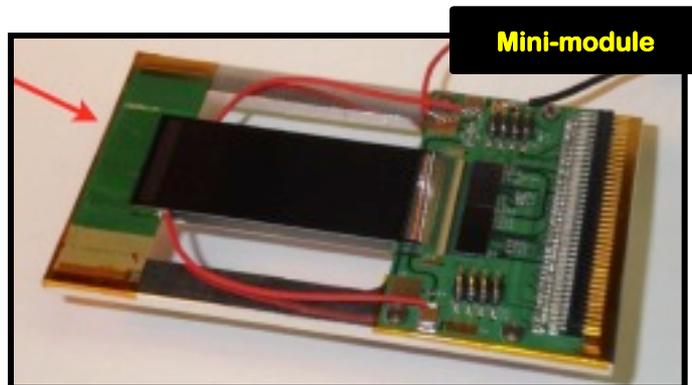
→ Le CIC (*responsabilité de l'IPNL et participation du CERN depuis 2017*) assure la compression et la mise en forme des données produites par 8 ASICs frontaux, pour les 2 voies de lecture (*stubs et données brutes*).

→ Projet complexe réalisé dans une technologie nouvelle pour l'IN2P3 (*TSMC 65nm*). **Première fonderie prévue début 2018.**

→ Dans la continuité de la phase de développement, l'objectif de l'IPNL est de prendre en charge la qualification de l'ensemble des CIC du futur trajectographe (~30000).

→ Extraction des données (3/3): du prototype au module complet

→ Des mini-modules ($1/16^{\text{ème}}$) sont testés sur faisceau au CERN depuis Juin 2015

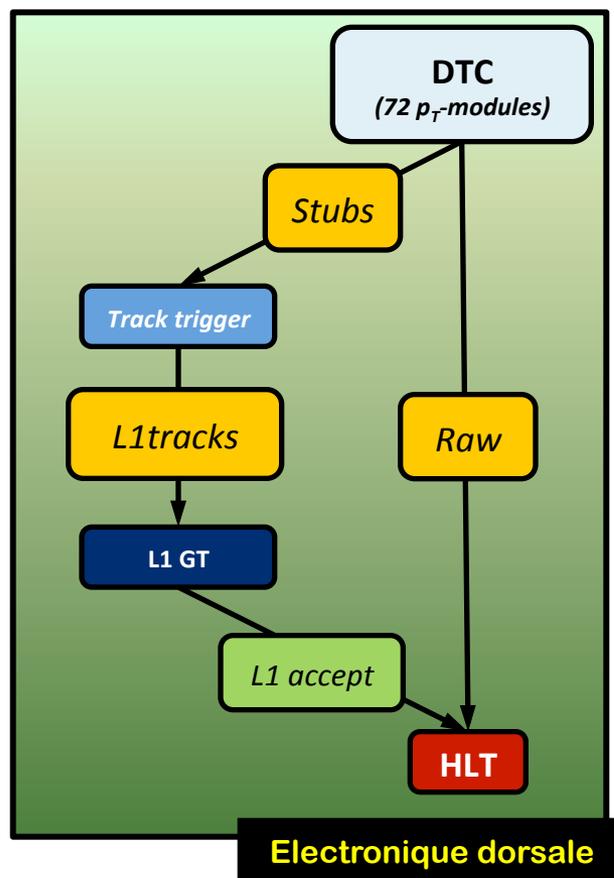


Efficacité de reconstruction des stubs sur un mini-module

→ Evolution progressive (*dimensions, électronique,...*) vers les modules complets qui sont attendus fin 2019. Production de masse à partir de 2021.

→ **L'IPHC a un rôle central dans ce secteur (acquisition, participation aux tests, analyse des résultats).**

→ Distribution des données: une électronique dorsale dédiée



→ Le système du trajectographe actuel gère uniquement des données brutes analogiques à une fréquence de 100kHz

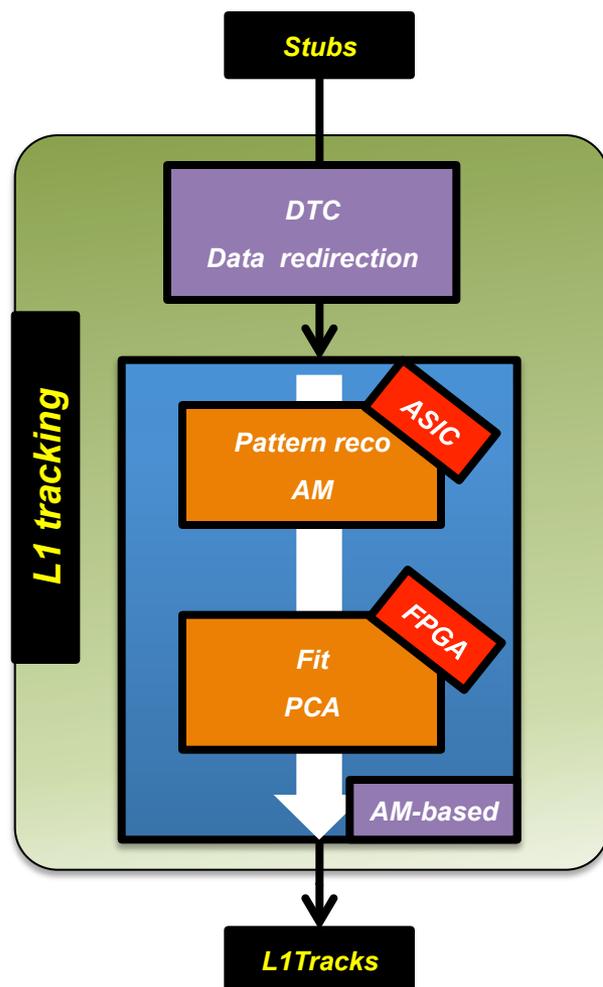
→ Le système du futur tracker (*cartes DTC pour **Data, Trigger, and Control***) devra traiter 40MHz de données trigger et jusqu'à 750kHz de données brutes digitales.

→ Refonte complète des composantes hardware et firmware du système d'acquisition (DAQ).

→ L'expertise de l'IPHC dans ce domaine est importante et reconnue (*DAQ du tracker actuel, DAQ pour les tests des prototypes*)

→ L'IPHC souhaite, dans la continuité des activités actuelles, prendre en charge le développement et la mise en œuvre du firmware des cartes DTCs.

→ Reconstruction des traces au niveau 1: une électronique dorsale dédiée

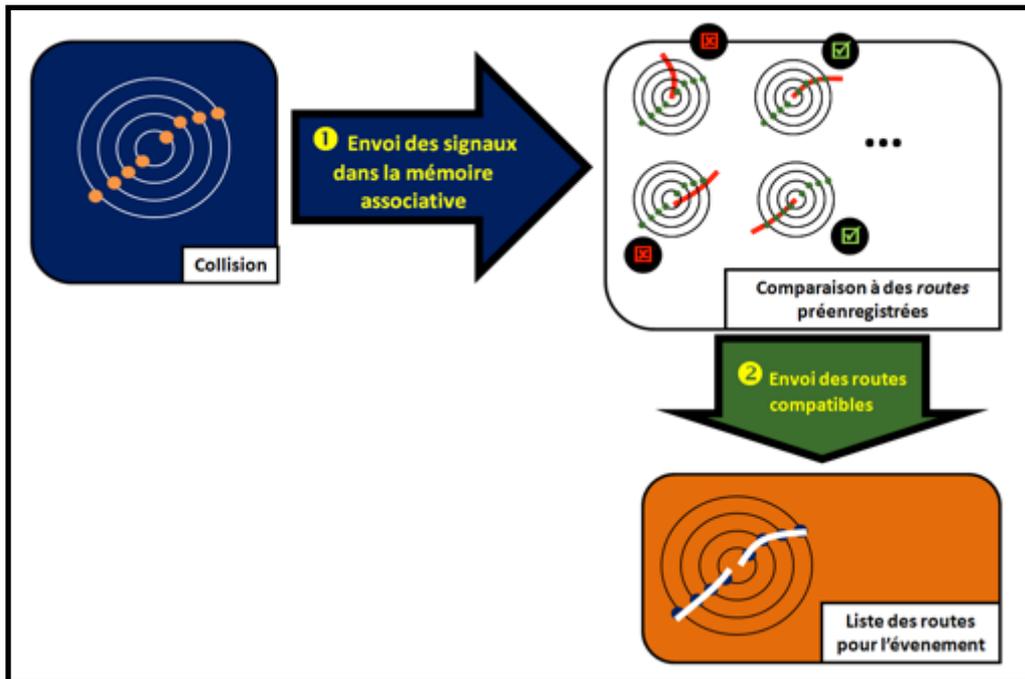


→ Le niveau 1 requiert une **approche purement hardware de la reconstruction de traces**. Techniques très différentes des méthodes classiques, en particulier pour l'identification.

→ **La distribution des données est également un aspect fondamental** (*multiplexage en temps et segmentation en espace*).

→ Trois solutions sont en cours d'étude. Le groupe de l'IPNL est impliqué dans une approche dans laquelle un ASIC dédié (**mémoires associatives (AM)**) est utilisé pour le filtrage des traces, et un FPGA pour le fit (**collaboration avec INFN/ FERMILAB/...**). Les deux autres approches utilisent uniquement des FPGAs.

→ Mémoires associatives: principe



→ Recherche de traces simple et rapide (*non combinatoire*)

→ Système développé initialement pour **ATLAS et CDF**, utilisé avec succès dans CDF au RUNII du Tevatron. Les routes sont stockées sur un ASIC dédié (**AM chip**).

→ Va être installé dans ATLAS lors de la phase 1, mais après le L1 (**projet FTK**). **Baseline pour la phase II dans ATLAS.**

→ Le développement d'une nouvelle génération de chips AM (**TSMC 28nm**), et leur exploitation dans CMS/ATLAS, mais aussi hors HEP, est le point central du **projet ANR FastTrack (LPNHE/IPNL)** débuté en 2014. **Un prototype (AM07) sera disponible en août 2017.**

→ Etude de faisabilité et développement d'un démonstrateur à l'IPNL:

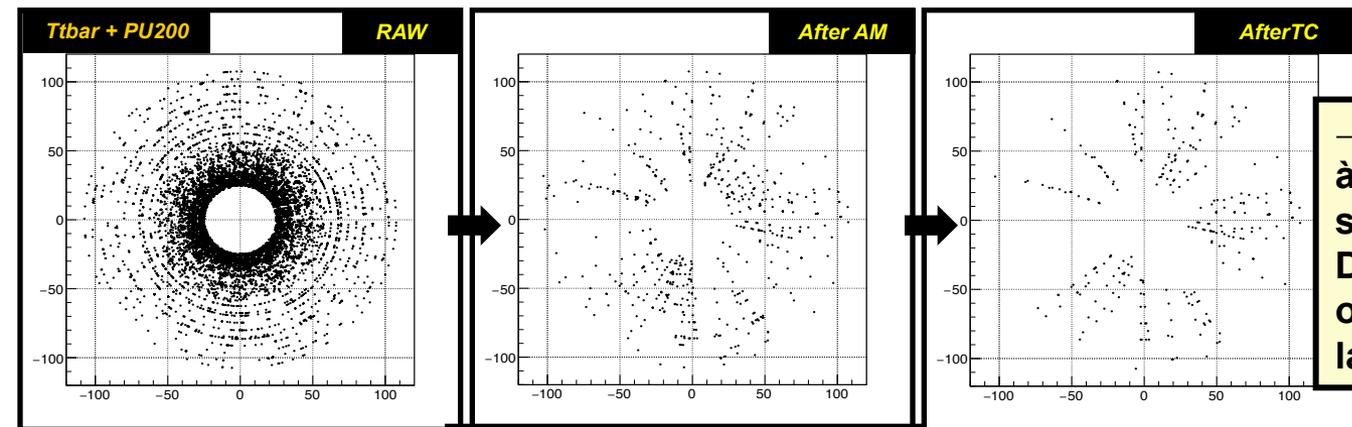


Demonstrateur Track Trigger de l'IPNL

→ Un des objectifs du projet ANR était de réaliser un mini-démonstrateur utilisant des chips AM06 (*chip du FTK d'ATLAS, TSMC 65nm, 130000 routes*). **Système développé et mis en œuvre à l'IPNL.**

→ **Fonctionnel depuis début 2017.** Accord simulation/hardware parfait. La latence totale est également en accord avec nos estimations.

→ Développement d'une émulation exacte des chips AM dans l'environnement software de CMS. IPNL responsable du code officiel de reconstruction des traces L1.



Simulation du système complet

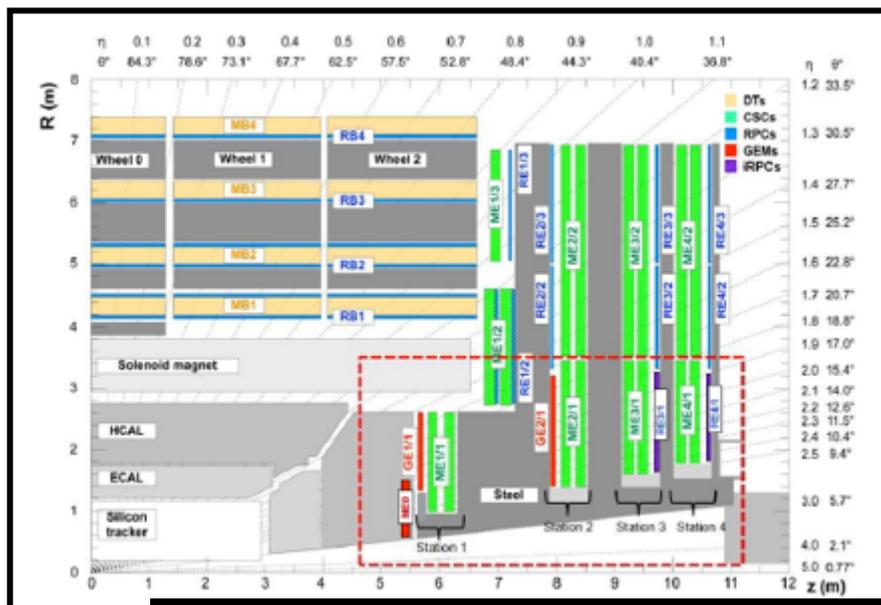
→ **L'IPNL souhaite prendre part à la mise en œuvre du système, si l'approche AM est choisie. Dans le cas contraire, nous réorienterons nos activités vers la partie DTC (avec l'IPHC)**

Chambres à muons vers l'avant

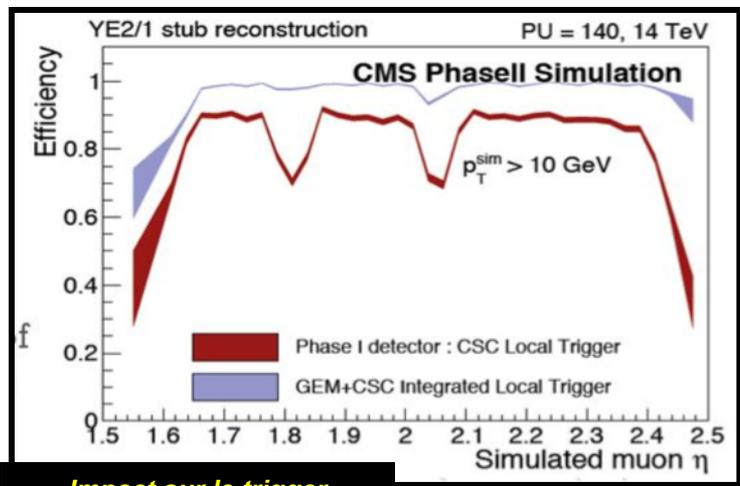
→ Pourquoi optimiser l'utilisation des chambres à muons au HL-LHC ?

→ Les muons sont fondamentaux pour le système de déclenchement. Dans les bouchons, les muons sont reconstruits via des **CSC** (*Cathode Strip Chambers*) et des **RPC** (*Resistive Plate Chambers*).

→ **A haute rapidité** ($|\eta| > 1.6$), il n'y a pas de RPCs pour le moment (*taux trop importants*). La couverture du système de déclenchement n'est pas optimale.



Chambres à muons vers l'avant dans CMS (Phase II)



Impact sur le trigger

→ Développement de systèmes de détection plus robustes (*GEMs, GRPC*). Amélioration de la résolution temporelle (*bruit de fond, HSCP,...*).

→ Implication de l'IN2P3 (IPNL/OMEGA):

→ Développement détecteurs:

• **Augmentation du taux de détection des RPC** en utilisant des matériaux moins résistifs (*verre et plastique dopés*) et en réduisant les gaps de gaz et l'épaisseur des électrodes.

→ Electronique frontale:

- Développement d'un ASIC capable d'exploiter le timing avec une **résolution temporelle < 20 ps**.
- Développement de cartes électroniques avec des canaux lus des deux côtés (2D) pour **améliorer la résolution en η** .

→ Electronique dorsale:

- Développement d'un système d'acquisition permettant d'exploiter l'amélioration de la résolution temporelle (***gain d'un ordre de grandeur sur la résolution actuelle***).

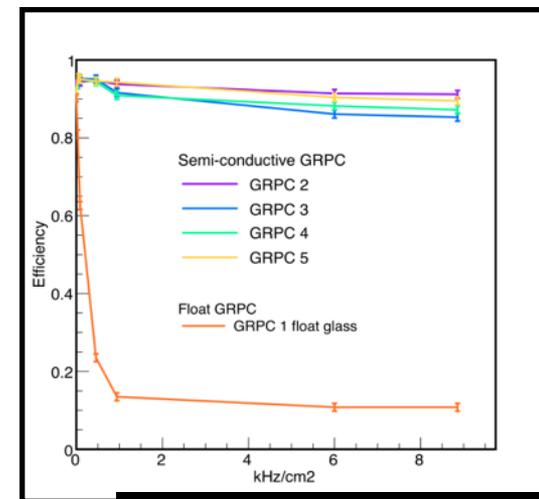
→ Developpement detecteurs à l'IPNL:

1. RPC verre dopé simple gap (2015):

- Assemblage et test en faisceau d'une petite chambre ($30 \times 30 \text{ cm}^2$): preuve du bon fonctionnement à fort taux incident
- Tests d'irradiation (*GIF++*, photons) concluants

2. RPC verre dopé double gap (2016):

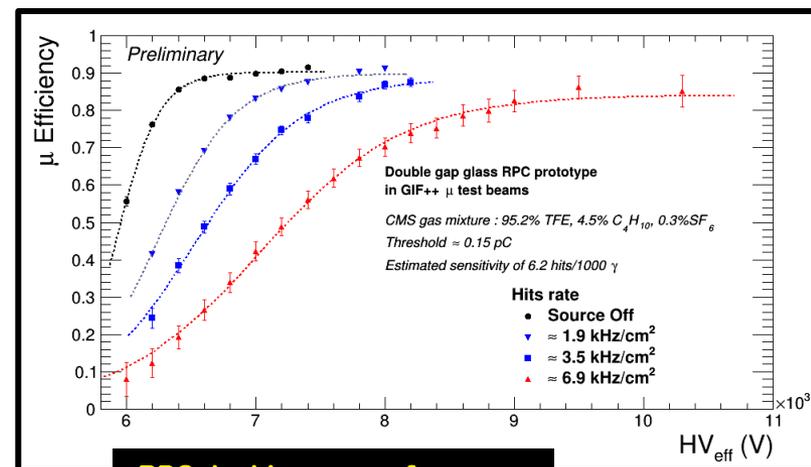
- Détecteur $\frac{1}{2}$ taille réelle conçu et construit à l'IPNL à partir des plaques 30×30 (*assemblage mécanique sans colle*)
- Capacité de tenue aux radiations jusqu'à $3\text{-}6 \text{ kHz/cm}^2$ démontrée, mais verre dopé très sensible à l'électronégativité du gaz (*SF6*).



RPC simple gap: performance



RPC double gap: prototype

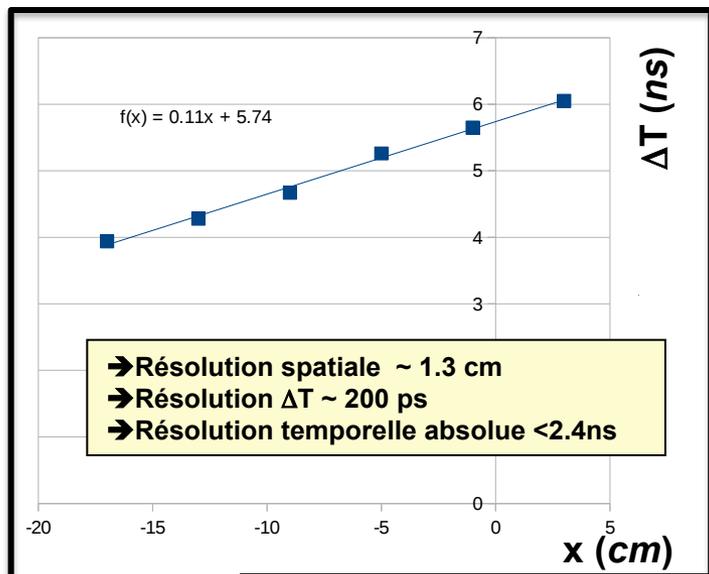


RPC double gap: performance

→ Développement d'une nouvelle électronique de lecture frontale:

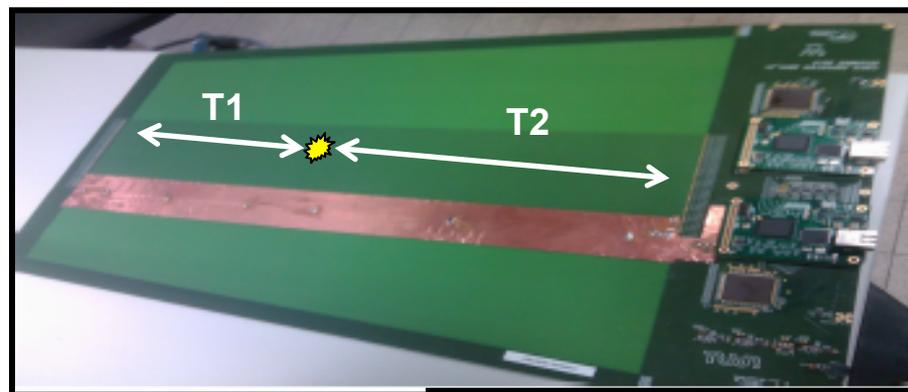
→ **Electronique de lecture indépendante de la technologie choisie (verre ou bakelite), collaboration avec OMEGA (utilisation du chip PETIROC et développement d'une version dédiée (réduction du seuil, augmentation du nombre de canaux)).**

→ Reconstruction de la position du hit possible via la mesure de $\Delta T = T1 - T2$. Performance mesurée au cours de tests en faisceaux en Mai 2017.



Résultats tests en faisceau

- Résolution spatiale ~ 1.3 cm
- Résolution ΔT ~ 200 ps
- Résolution temporelle absolue < 2.4 ns



Electronique de lecture: principe

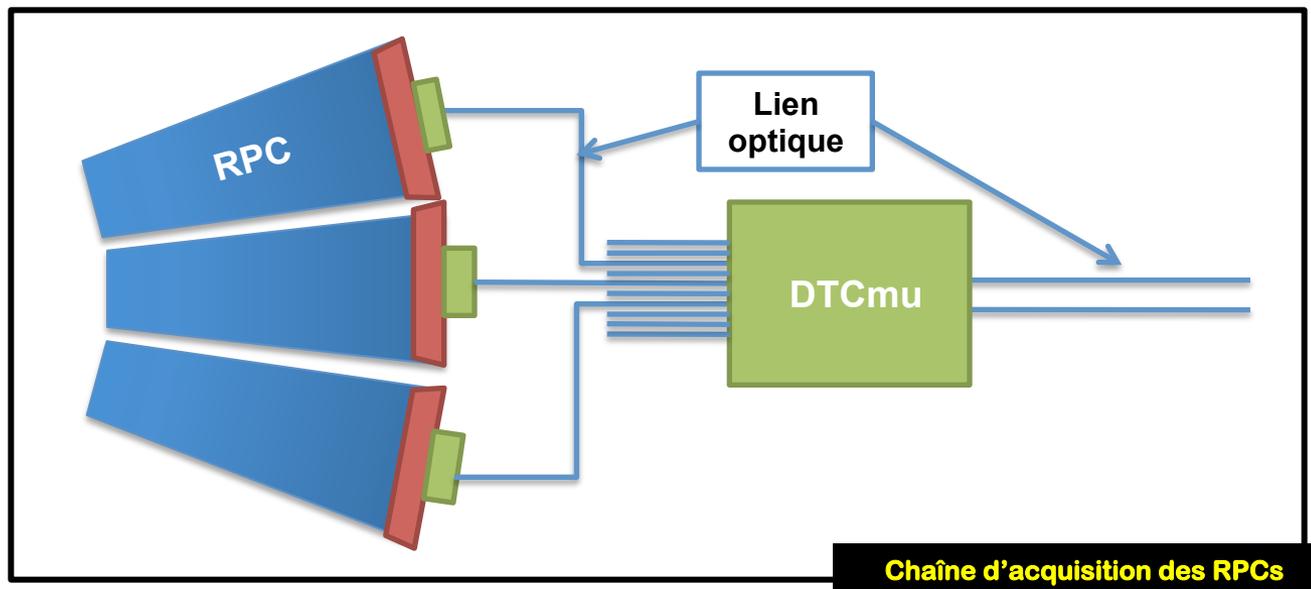
→ **Premiers résultats très encourageants.** Possibilité d'améliorer de manière significative la résolution temporelle sur ΔT (< 100 ps) via un bloc TDC en cours de développement à l'IPNL.

→ **Prochaine étape (fin 2017):** réalisation d'une carte de lecture de dimension nominale.

→ **L'IPNL et OMEGA souhaitent développer et mettre en œuvre l'ensemble de l'électronique frontale des futures chambres RPCs indépendamment de la technologie choisie**

→ Développement d'une nouvelle électronique de lecture dorsale

→ Développement du firmware des cartes d'acquisition ('DTC' muons), afin d'exploiter au mieux l'amélioration de la résolution temporelle sur le système de déclenchement.



→ L'objectif de l'IPNL est de prendre part au développement de la chaîne d'acquisition dorsale via l'implémentation de firmware sur des cartes existantes.

→ L'IPNL, l'IPHC, et OMEGA ont un rôle important et reconnu dans le développement du futur trajectographe et des chambres à muons vers l'avant. Les implications envisagées sont les suivantes:

→ **TRAJECTOGRAPHE:**

- Fabrication et qualification des structures mécaniques des bouchons (**IPNL**)
- Participation à la réalisation et la mise en oeuvre d'un bouchon (**IPNL**)
- Réalisation et qualification de l'ASIC concentrateur (**IPNL**)
- Développement et mise en oeuvre du firmware d'acquisition (**IPHC**)
- Développement et mise en oeuvre d'un système de reconstruction rapide de traces basé sur des mémoires associatives (**IPNL**)

→ **MUONS VERS L'AVANT:**

- Développement et mise en oeuvre de l'électronique frontale (**IPNL/OMEGA**)
- Participation au développement du système d'acquisition (**IPNL**)

→ 2017 est l'année des Technical Design Report, d'importantes décisions vont donc être prises concernant nos engagements futurs (*eg reconstruction de traces*).

Compléments généraux

Calendar Year	2016	2017	2018	2019	2020	2021	2022	2023	2024	2025	2026	
Long Shutdowns				LS2						LS3		
Tracker: Outer	Design - Demo.	TDR	... Engin. - Proto.		EDR	... Pre-prod.	Prod.	Integ.	Comm.	Float	Install. Comm.	
Tracker: Pixel	Design - Demo.	TDR	... Engin. - Proto.			EDR	... Pre-prod.	Prod.	Integ.	Comm.	Float	Install. Comm.
Barrel Calorimeters	Design - Demo.	TDR	... Engin. - Proto.		EDR	... Pre-prod.	ESR	... Prod.	Float	Integ.	Install. Comm.	
Endcap Calorimeters	Design - Demo.	TDR	... Engin. - Proto.			EDR	... Pre-prod.	Endcap 2 prod.	Integ.	Comm.	Float	Install. Comm.
							Endcap 1 prod.	Integ.	Comm.	Float	Install. Comm.	
Muons: GEM1	Engin. ED/SR	Production - Assembly	Float	Install. Comm.								
Muons: CSC	FE Engin.- Pre-prod.	...	ESR Prod.	Install.		Off- detec. ESR	... Pre-prod. - Prod. -Inte.	Float		Install. Comm.		
Muons: DT						... Pre-prod. - Prod. -Inte.	Float	Install. Comm.				
Muons: GEM2-RPC3/4	Design - Demo..	TDR	... Engin. - Proto.			EDR	... Pre-prod. - Prod. - Inte.	Ready to install. Comm.				
Muons: GEM0						... Pre-prod. - Prod. - Inte.	Float	Install. Comm.				
Trigger	Design	ID	... Demo - Engin. - Proto.		TDR	... Pre-prod.	ESR	Prod. - Inte..	Float	Install. Comm.		
DAQ/HLT	Design	ID	... Demo. - Proto.			<-- TDR -->	...Pre-prod.	ESR	Prod. - Inte.	Float	Install. Comm.	

→ Personnels impliqués (Permanents/CDDs)

→ Chercheurs IPNL: G.Boudoul, D.Contardo (*CMS upgrade manager*), M.Gouzevich, G.Grenier, **F.Lagarde**, I.Laktineh, L.Mirabito, S.Viret

→ ITA IPNL: **A.Annagrebah**, G.Baulieu, L.Caponetto, G.Castelnau, C.Combaret, M.Dahoumane, T.Dupasquier, A.Eynard, G.Galbit, L.Germani, J.C. Ianigro, H.Mathez, **B.Nodari**, E.Schibler, X.Shen

→ Chercheurs IPHC: J.Andrea, D.Bloch, E.Chabert, N.Chanon, **V.Cherepanov**

→ ITA IPHC: C.Bonnin, L.Charles, L.Gross, J.Hosselet

→ **Personnels impliqués (Permanents/CDDs)**

→ **Trajectographe (IPNL/IPHC)**: 10 ans de CDD physiciens et 16 ans de CDD ingénieurs

→ **Muons (IPNL)**: 3 ans de CDD physiciens et 3 ans de CDD ingénieurs

→ Tracker

1. Détailler mieux la responsabilité souhaitée par IPNL dans le system DAQ:

→ Question plutôt destinée à l'IPHC, le rôle est précisé sur le transparent 9

2. Détailler la liaison entre le CERN et INPL pour le développement du concentrateur CIC:

→ Le CERN est impliqué par l'intermédiaire d'un doctorant depuis le début de l'année 2017. La gestion globale du projet revient à l'IPNL

3. Expliquer le niveau de collaboration souhaité entre IPHC et le CERN dans le system d'acquisition:

→ Le CERN est le maître d'œuvre du projet global, est sera en particulier impliqué dans les développements hardware (*carte DAQ*), qui sont complémentaires des activités de l'IPHC

4. Quelle synergie avec ATLAS est prévue pour le développement des puces dédiées aux mémoires associatives ?

→ Si cette approche est choisie par CMS les développements seront fait en commun (*ie le même chip sera à terme utilisé par ATLAS et CMS*).

5. Is there a coordination of construction activities between IPNL and institutes involved in the construction of the other endcap?

→ Un partage des différentes tâches est prévu entre les 3 pays concerné (Belgique/France/Allemagne). Les 2 bouchons seront réalisés à partir d'éléments identiques.

6. What are the consequences if the IPNL proposal for the track trigger (based on AM) is not selected? Would this have a negative impact also on the related ATLAS activities?

→ Réponse donnée sur le transparent 10. ATLAS devant utiliser les AM dans tous les cas, cela n'aura aucun impact sur leur programme de R&D.

→ **Muons****1. La solution de GRPC n'est pas la solution de base choisie par CMS pour l'instant.**

→ C'est a priori le cas (*bakélite baseline*). C'est pour cette raison que le groupe de Lyon s'est orienté depuis 2016 vers le développement d'une électronique indépendante des choix technologiques sur le type de RPC.

2. Quelle sera l'implication de l'INPL si la solution GRPC ne sera pas retenue ?

→ Voir réponse 1.

3. What are the prospects for an acceptance of the proposal of IPNL?

→ L'électronique développée par le groupe de Lyon est la solution de base décrite dans le futur TDR. Cette solution a donc de fortes chances d'être choisie à terme.

4. What would be the level of contributions if the GRPC-based solution is not chosen by the collaboration?

→ Voir réponse 1.

Compléments trajectographe

Mécanique des bouchons

Participation de l'IPNL à la construction du trajectographe

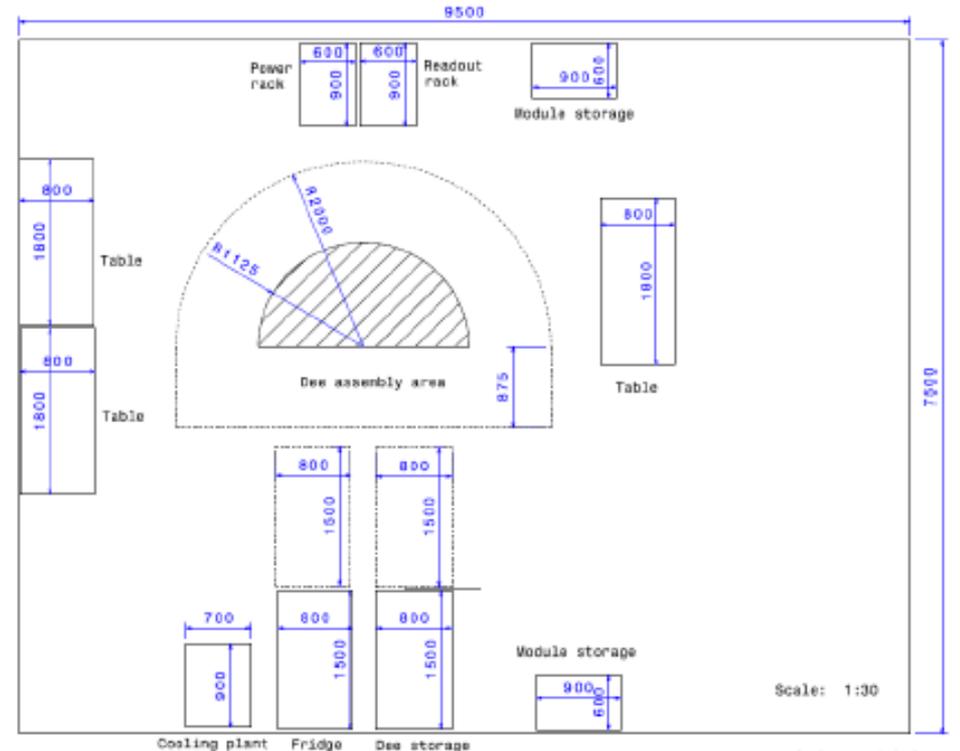
→ Planning prévisionnel

→ **2016**: première phase de travaux dans le hall expérimental (*mise au propre*), mise en place des protocoles d'assemblage et de tests (*en réutilisant, autant que possible, ce qui a déjà été mis en place pour le détecteur actuel*)

→ **2017**: deuxième phase de travaux dans le hall expérimental: salle propre, flux laminaire, *adaptation à la production CMS et aux tests*

→ **2018-2024**: assemblage et test des Dees à l'IPNL, intégration dans le bouchon au CERN

CMS TEDD Dee assembly and testing facility / version 1.0



N. Lumb / IPNL-CMS / 25-06-15

→ Même si nous ne contribuons pas à l'assemblage de modules, **l'impact sur le groupe CMS et sur les services techniques de l'IPNL (instrumentation, mécanique/BE, informatique) du laboratoire sera significatif durant toute la phase de production (3-4 physiciens, 1 IR informatique/DAQ, 2 techniciens, 1 responsable technique).**

Revue Synthétique de Projet

Demandes à l'IN2P3

◆ Demande de soutien de l'IN2P3 pour le projet

Pour la phase de R&D:

- RH : maintien des implications actuelles à l'IPNL pour la construction et les tests des prototypes. Discussion en cours à l'IPNL pour la prise en charge du design complet des bouchons par le bureau d'étude
- Financiers: 100 k€ pour la construction d'un prototype de Dee complet

Pour la phase de construction:

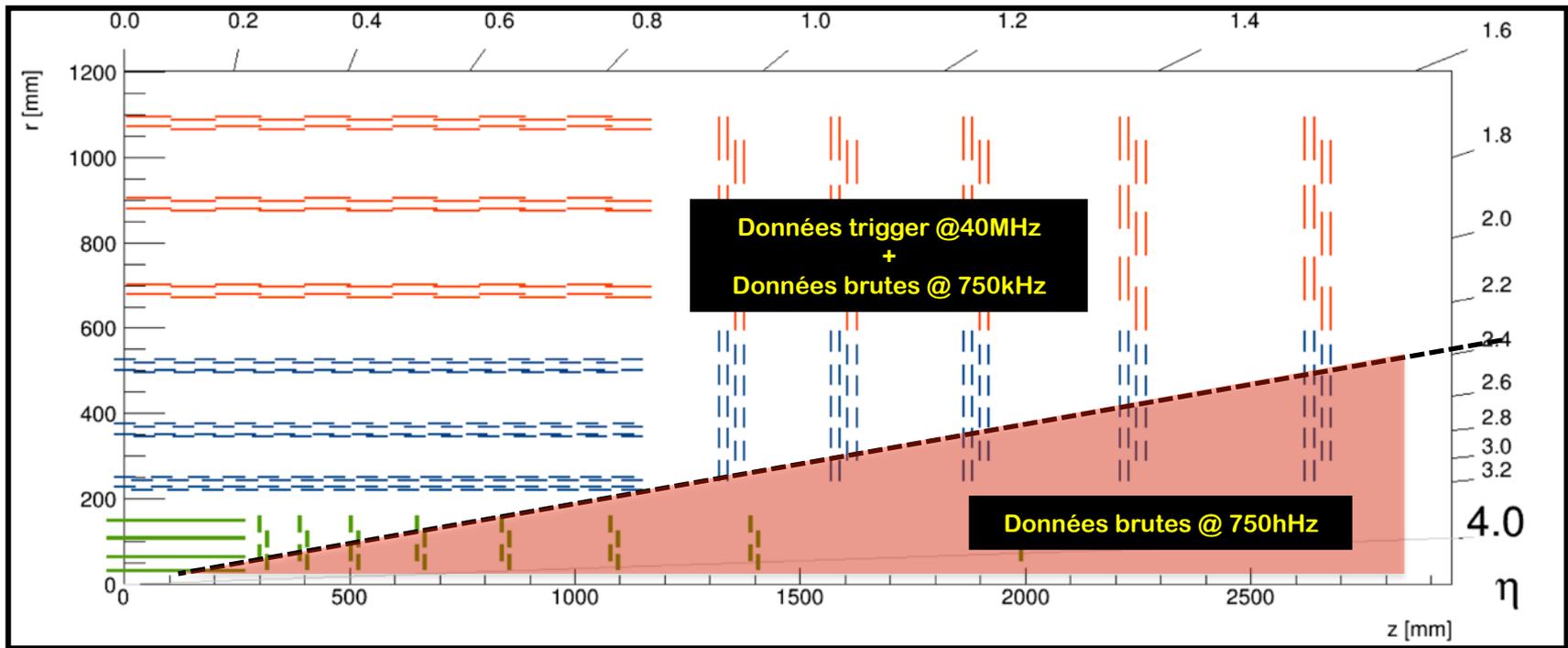
- RH : 2 techniciens spécialisés
- Financiers: budget core CMS
- Infrastructure: financement assuré par le labex ITO

Compléments trajectographe

Electronique frontale

1. Principe
2. Statut du projet
3. Futur proche et moins proche

→ Le futur détecteur de traces de CMS :

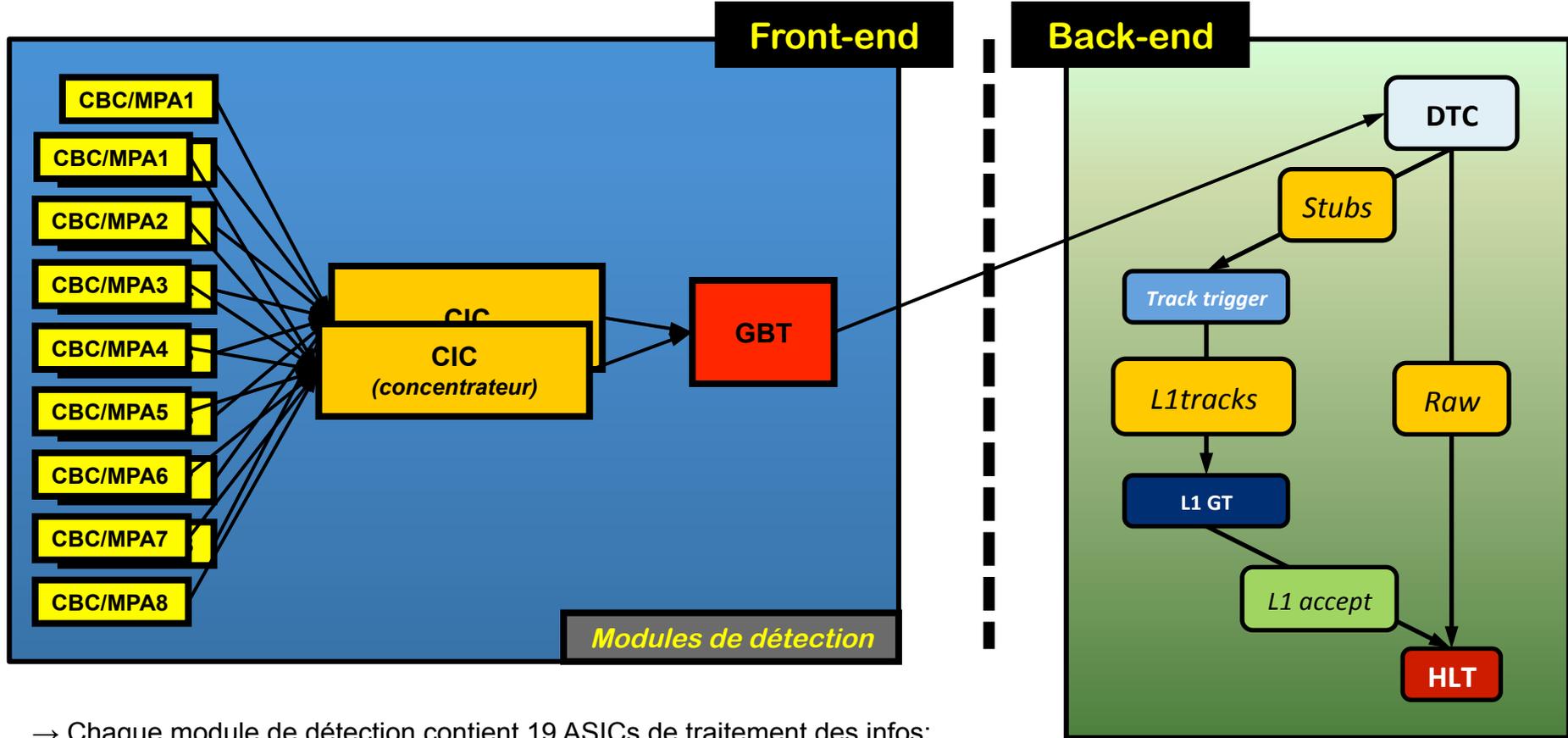


→ Dans le détecteur actuel, seules les données brutes sont extraites à une fréquence de 100kHz.

→ Dans le futur détecteur 2 types de données devront être extraits: **trigger à 40MHz**, et **brutes jusqu'à 750kHz**. Pour parvenir à cela, **une électronique de lecture entièrement nouvelle doit être développée**.

1. Principe
2. Statut du projet
3. Futur proche et moins proche

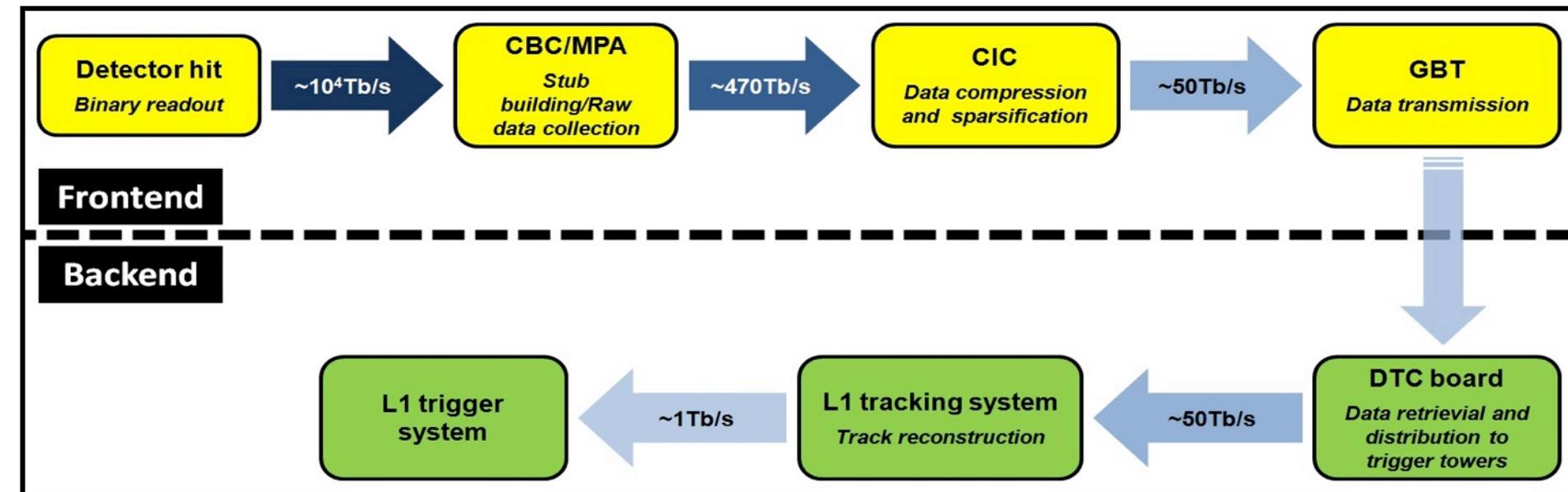
→ Le protocole d'extraction des données du futur tracker:



→ Chaque module de détection contient 19 ASICs de traitement des infos:
16 CBC/MPA (Imperial College/CERN), 2 CIC (IPNL), 1 GBT (CERN)

- 1. Principe
- 2. Statut du projet
- 3. Futur proche et moins proche

→ Compression des données:



→ Du détecteur au GBT, la quantité de données doit être divisée par 200

→ **Le CIC est un élément clé de la chaîne** car il réalise la partie la plus complexe de cette phase de compression.

→ C'est au niveau du CIC qu'il y aura potentiellement le plus de pertes de données → **point critique.**

→ Les différents éléments du projet concentrateur dans CMS:

WP 1: Simulation (2013→2017)

- 1 Etude des formats d'entrée/sortie, évaluation des pertes potentielles ✓
- 2 Elaboration d'un environnement de test pour le développement du prototype. ✓

WP 2: Réalisation d'un prototype (2012→2018)

- 3 Etablissement d'un cahier des charges précis ✓
- 4 Développement et test des différents blocs du projet (*en cours, bien avancé*)
- 5 Implémentation et test du prototype partiel sur un FPGA (*en cours, bien avancé*)
- 6 Design et test du chip en technologie 65nm (→ carte de test) (*en cours*)
- 7 Intégration et test du chip sur un prototype de module ✗

WP 3: Production (2019→2021/2022)

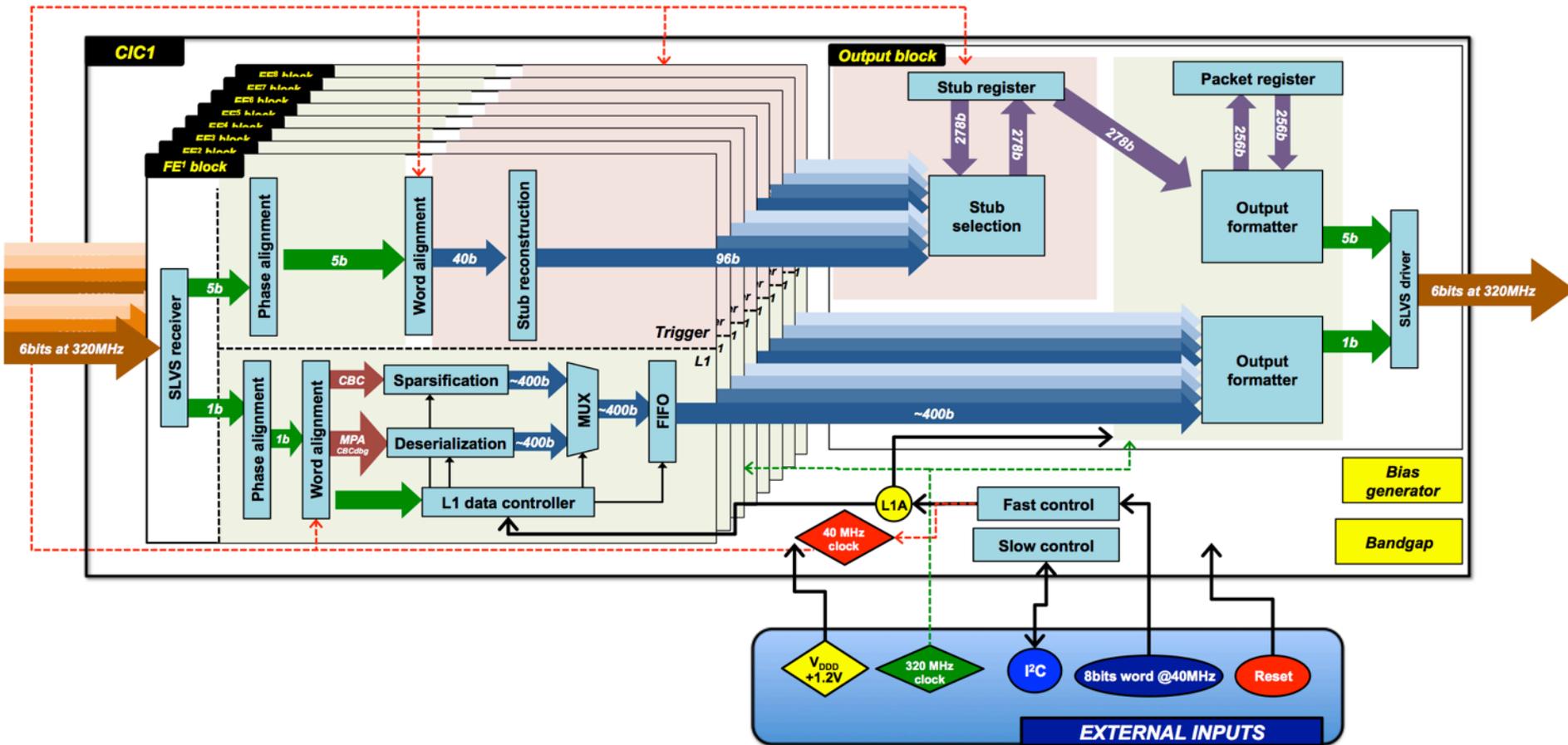
- 8 Production et test du chip final si faisabilité prouvée (~30000 chips)

→ L'IPNL est le groupe principal dans ce projet, un doctorant en électronique du CERN est également impliqué.

1. Principe
2. Statut du projet
3. Futur proche et moins proche

→ L'activité concentrateur à l'IPNL (hardware):

→ Le schéma bloc du premier prototype (CIC1) a été établi:



→ La plupart des blocs ont déjà été synthétisés, mais la triplication n'a pas encore été intégrée

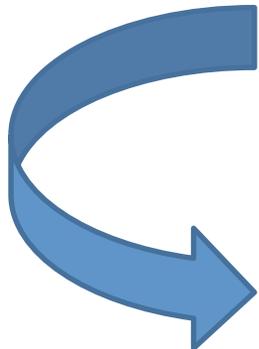
Compléments trajectographe

DAQ

Historique du projet Tracker DAQ Phase 2

Projet en continuité naturelle des activités menées sur la DAQ de l'actuel Tracker depuis 2000

- **Remplacement complet du Trajectographe Si de CMS prévu pour 2020+**
 - Nouvelle géométrie / granularité
 - Nouveaux senseurs silicium
 - Couches internes du Tracker pixellisées
 - Electronique de front-end digitale (actuellement analogique)
 - Utilisation des données Tracker pour la construction du trigger L1A (Projet TrackTrigger)
 - Flux de données incompatible avec l'électronique de DAQ actuelle
 - Disparition de la distinction carte de contrôle/commande vs. Carte d'acquisition de données



- **Le système de DAQ actuel sera obsolète et inutilisable dans cette configuration. Le défi que cela pose implique de répondre aux problématiques suivantes.**
 - Identification et mise en œuvre d'une électronique adaptée aux nouvelles contraintes
 - Conception d'une architecture DAQ (Hardware, Firmware, Software) basée sur cette nouvelle électronique
 - Compatibilité nécessaire avec l'actuel écosystème du détecteur CMS (Central DAQ, CMSSW, contraintes techniques sur site)

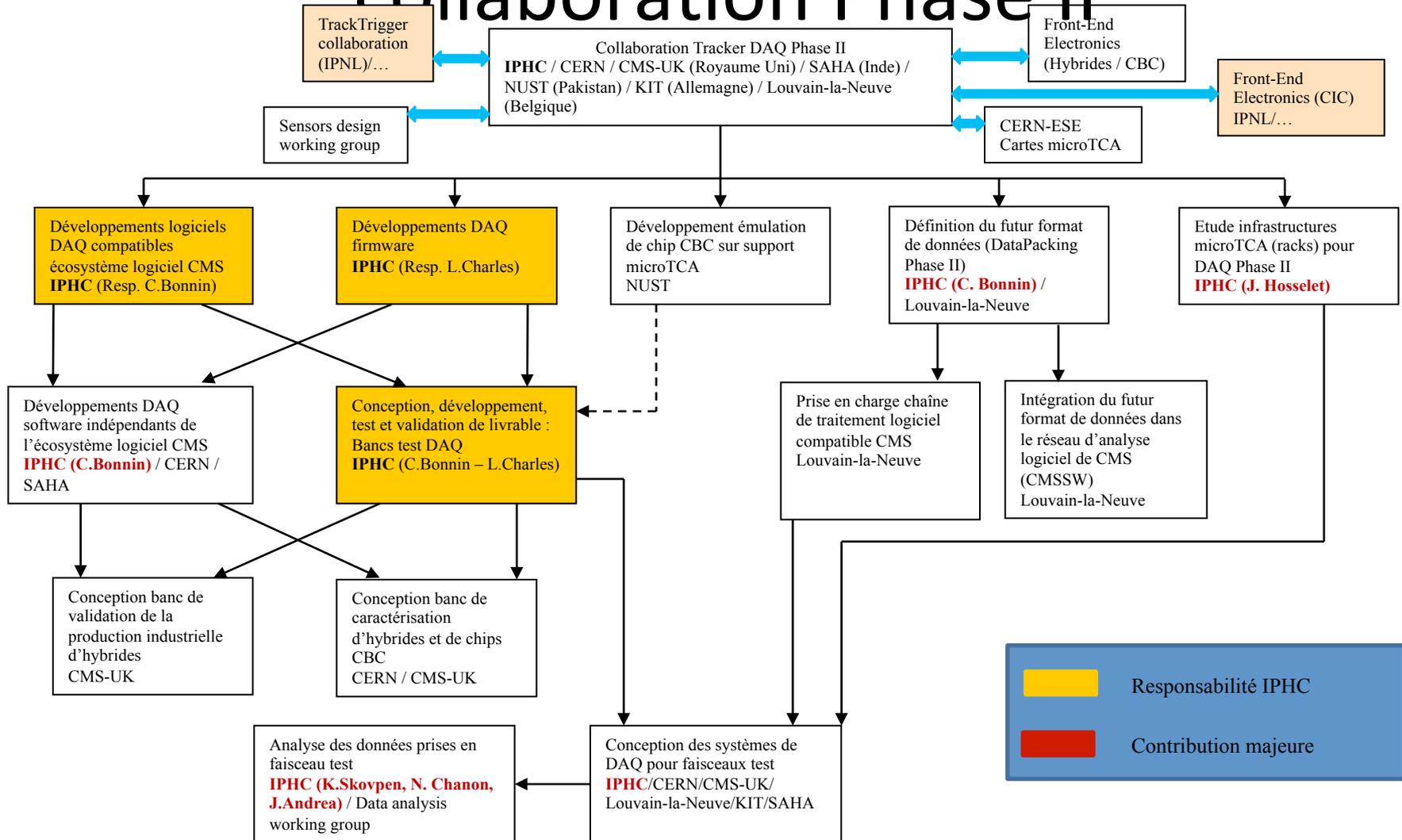
Activités menées via des prises de responsabilités

- Participation à la phase de prospective et de R&D pour la mise à jour du Tracker de CMS / upgrade Phase 2.
 - **L. Gross**, responsabilité prise depuis l'origine du projet.
- Coordination Tracker DAQ Phase 2.
 - **L. Gross**, responsabilité prise de façon formelle de Août 2013 (création du groupe Tracker DAQ Phase 2) à septembre 2015.
 - Coordination IPHC/groupe Tracker DAQ Phase 2 assurée par **N.Chanon** (intérim J. Andrea).
- Conception et développement de l'architecture firmware DAQ Phase 2.
 - **L. Charles**, prototype DAQ 100% fonctionnel sous faisceau test. Responsabilité étendue: maitre d'œuvre de la partie firmware Tracker DAQ Phase 2. En charge de la conception du cœur du firmware DAQ Phase 2.
- Conception et développement de l'architecture software DAQ Phase 2.
 - **C. Bonnin**, prototype DAQ 100% fonctionnel sous faisceau test. Responsabilité étendue : maitre d'œuvre de la partie software Tracker DAQ Phase 2. Responsabilités et workpackages toujours en cours d'analyse.

Activités menées via des prises de responsabilités

- **Conception, développement, test et support de livrable** : bancs de test DAQ Phase 2 utilisables par les membres de la collaboration.
 - **L. Charles, C. Bonnin, J. Hosselet**, responsabilité et maîtrise, prototype DAQ 100% fonctionnel sous faisceau test, responsabilité étendue : mise au point d'un banc de test 2xCBC-2 puis 8xCBC-2
- **Les seuls systèmes/prototypes de DAQ Phase 2 utilisables en faisceau test** proviennent de l'IPHC.
- **Collaboration particulière au sein de l'IN2P3** : synergie avec le groupe de l'IPNL
 - IPNL : concentrateur et système de déclenchement
 - IPHC : DAQ
 - thématiques interconnectées.

Le groupe CMS de l'IPHC au sein de la collaboration Phase II

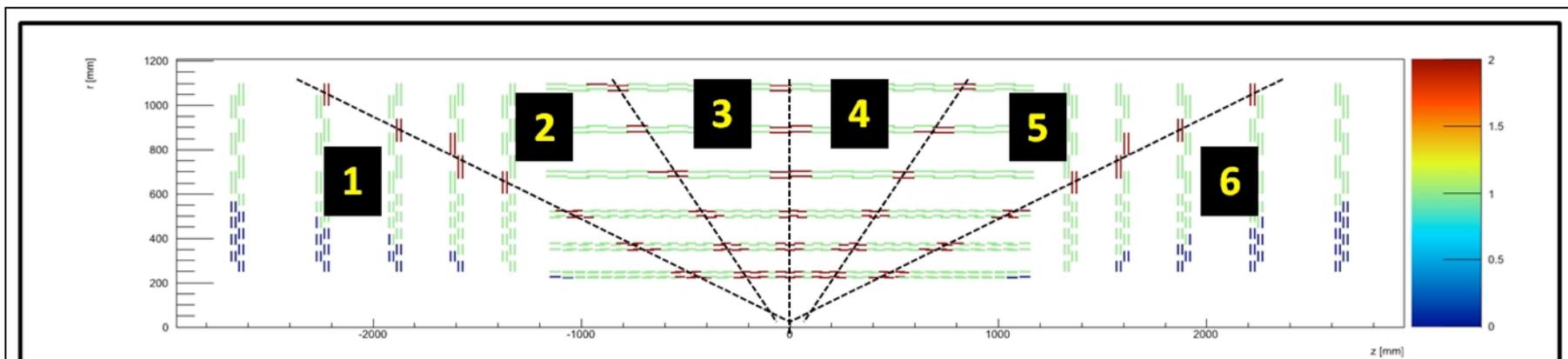


Compléments trajectographe

Recnstruction de traces

→ Comment reconstruire les traces au niveau 1?

→ Le trajectographe est divisé en 48 tour de trigger projectives. Les traces sont reconstruites en parallèle dans chaque tour.



Eta range	1	2	3	4	5	6
Sector numbers	0→7	8→15	16→23	24→31	32→39	40→47

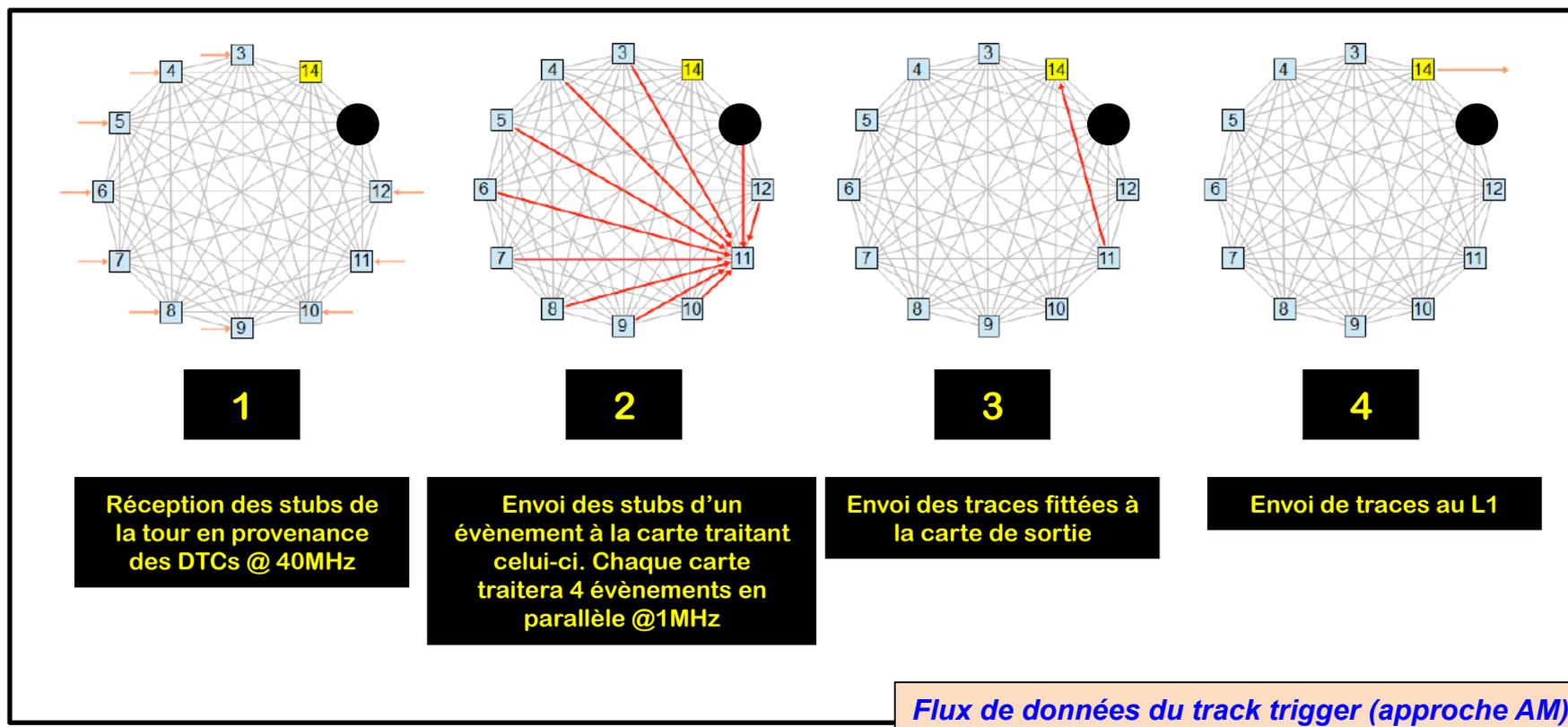
→ Trois types de tour (~400 modules par tour): **barrel**, **hybrid**, et **endcap**

→ Un stub n'appartient jamais à plus de 4 tours. La quantité de données par tour n'excède jamais **1Tb/s** à PU200.

→ Protocole de distribution des données

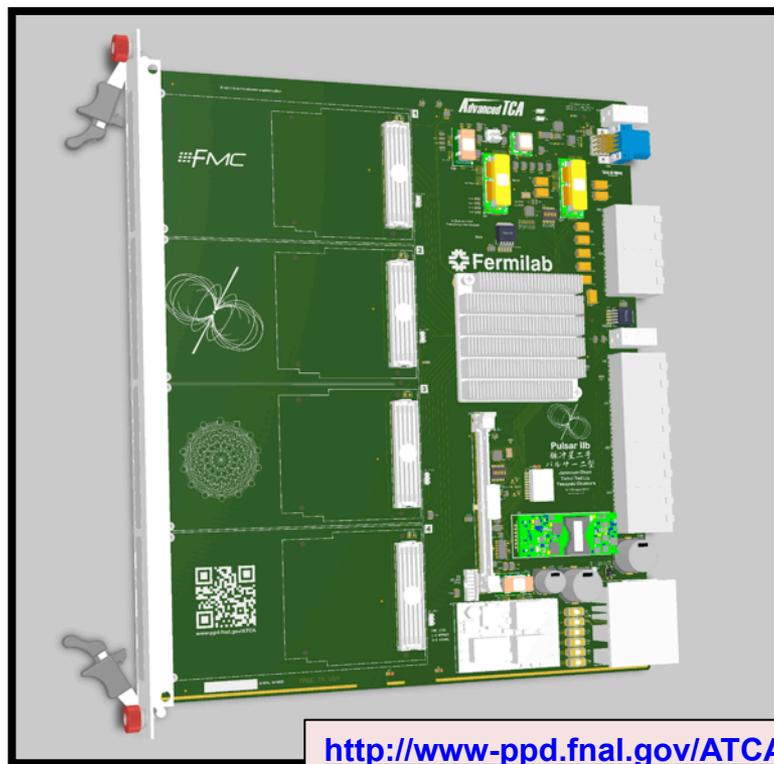
→ Pour l'instant, une tour de trigger est traitée par un ensemble de 11 cartes ATCA (~1 châssis entier). La taille totale du système ne peut que diminuer.

→ Dans le modèle actuel, il n'y a pas de communication d'un châssis à l'autre (*distribution assurée par les DTCs*)



→ Carte de traitement des données

→ La carte ATCA de réception et de traitement des données est la **PulsarIIB**, développée par le Fermilab pour le système FTK d'ATLAS



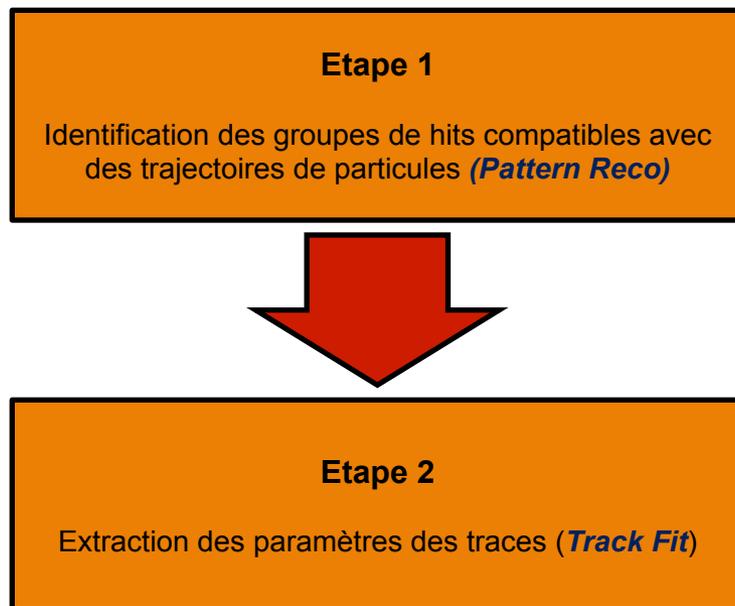
<http://www-ppd.fnal.gov/ATCA/>

→ Caractéristiques principales:

- Virtex 7 FPGA (XC7VX690T)
- 80 GTH lines
- General purpose design
- I/O ~1 Tbps

→ La reconstruction des traces est réalisée sur des mezzanines installées sur la carte Pulsar.

→ Comment reconstruire des traces?



→ Pour le moment, cette reconstruction se fait par voie informatique dans CMS et ATLAS.

→ Algorithmes complexes, très gourmands en CPU

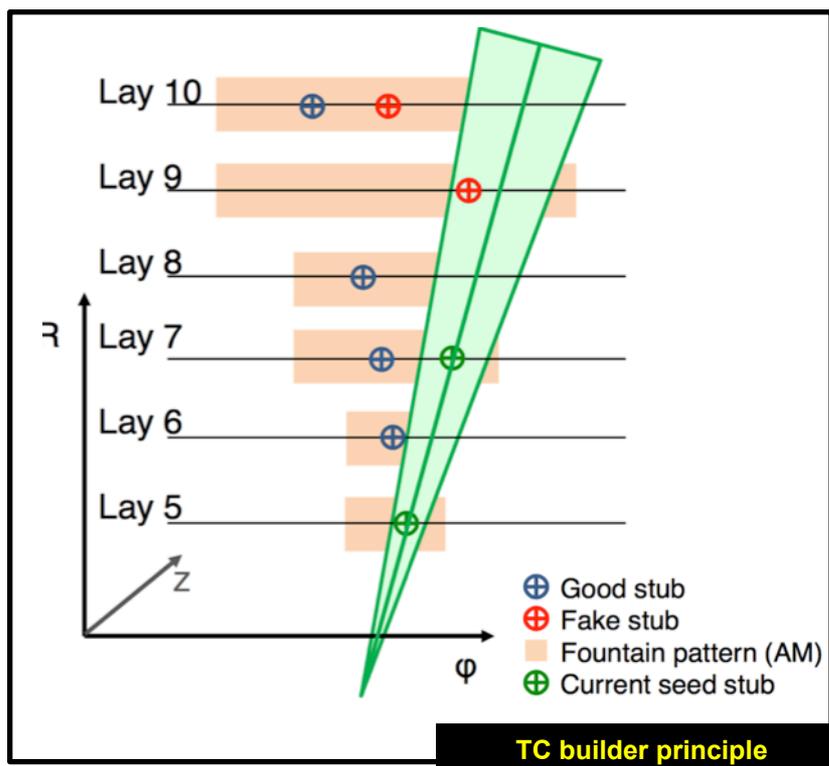
→ Le niveau 1 requiert une approche purement hardware. Techniques très différentes.

→ L'approche suivie par le groupe de Lyon utilise les **mémoires associatives et un filtre rapide pour l'étape 1**, et l'analyse en composantes principales **pour l'étape 2**.

→ **La majeure partie de notre travail se concentre sur l'étape 1**

→ Filter rapide post-AM:

→ Le fit utilisé requiert un excellente pureté. Les AM permettent de filtrer une grande partie des mauvais stubs, mais il reste des impuretés.



→ Un filtre a été développé afin de traiter les routes sortant des AM. Ce filtre crée des proto-traces de très bonne qualité.

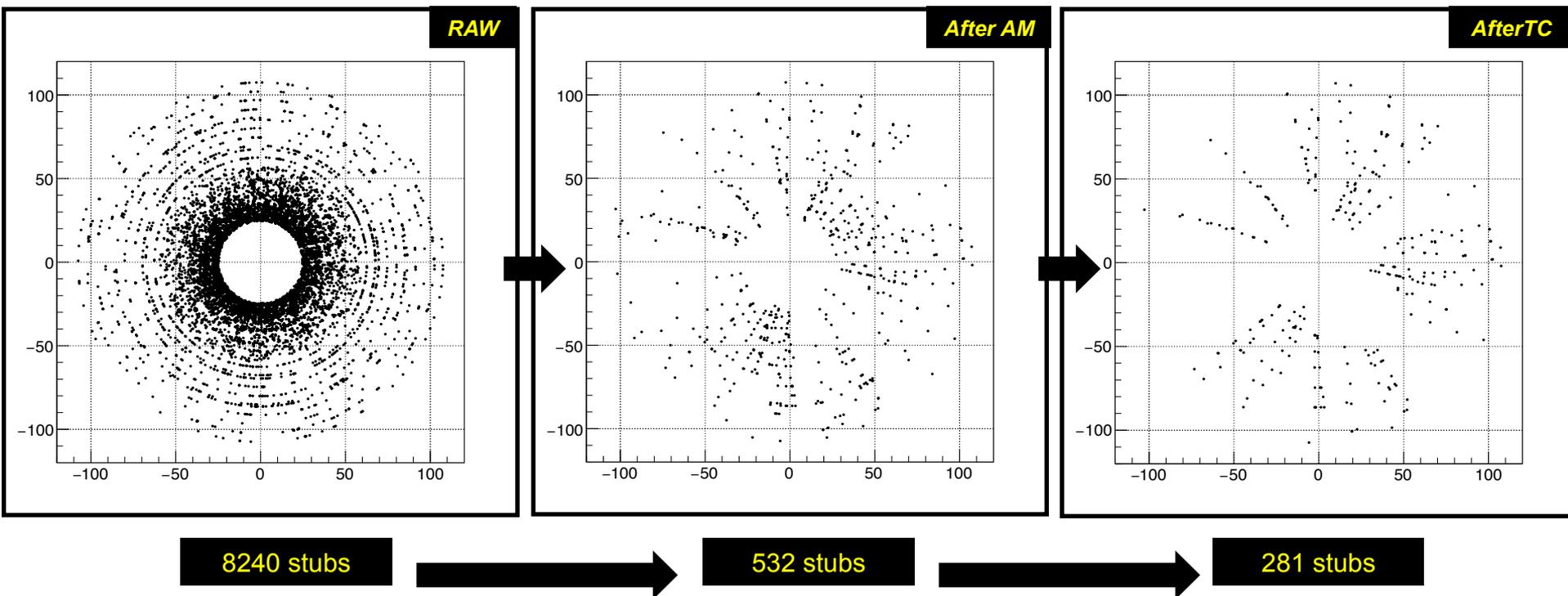
→ Une version FPGA existe, on peut facilement faire fonctionner une vingtaine de filtres en parallèle sur un Kintex7.

→ En optimisant le routage, on espère traiter environ 200 routes (*moyenne haute de sortie AM à PU200*) en 500ns.

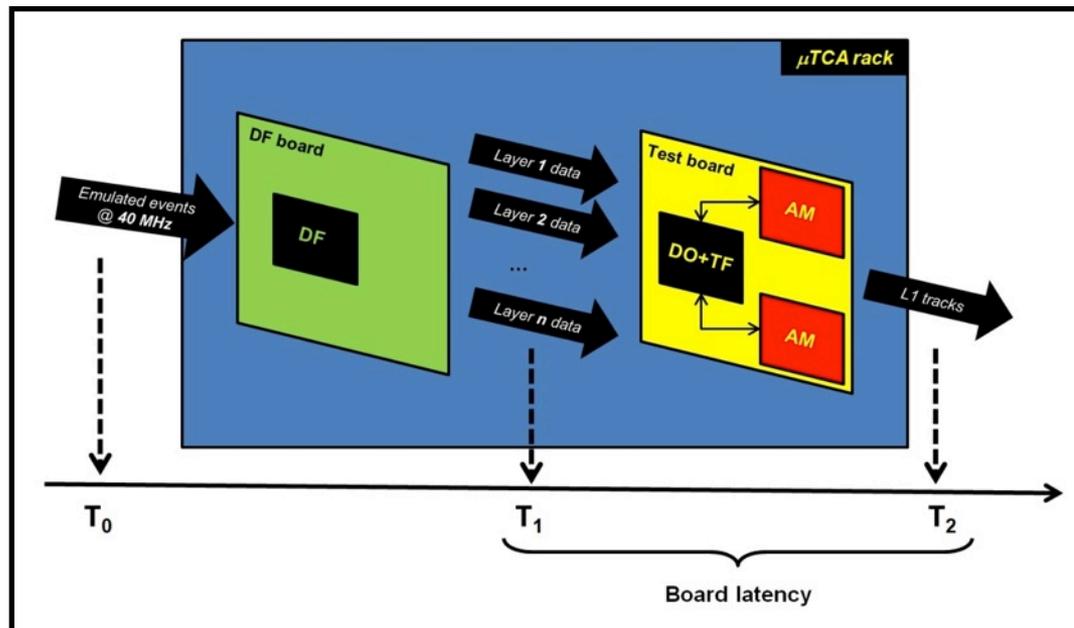
→ L'activité L1 track trigger à l'IPNL (software):

→ Le code de filtrage est également disponible en C++.

→ Permet d'obtenir un taux de fausses traces < 7/8% dans toutes les configurations, sans perte d'efficacité.
Optimisation en cours...



→ L'activité L1 track trigger à l'IPNL (hardware):



→ Obtention de **490kEuros** (sur 3 ans) en Decembre 2013 via l'ANR (**150k IPNL / 340k LPNHE**) pour construire un démonstrateur complet (**points 5,7,8 et 9**).

→ Etape démarrée en 2014



→ Pour le moment, le système est développé hors châssis, avec une carte d'évaluation (Xilinx VC709) et une mezzanine AM réalisée à l'IPNL. Les protocoles de communication entre les différents éléments sont en place, la chaîne complète devrait fonctionner avant la fin de l'année. Premier jalon important vers un démonstrateur plus complexe (2016)

→ Les différents éléments du projet L1 track trigger dans CMS:

WP 1: Simulation

- 1 Modélisation du système (*CPU et GPU*)
- 2 Performance de la reconstruction de traces, impact sur le potentiel de découverte de CMS

IPNL

WP 2: Distribution des données

- 3 Emulation du flux de données venant du détecteur (*TDCs*)
- 4 Organisation et optimisation de la distribution aux cartes de trigger (*découpage en tours*)
- 5 Design de la carte de trigger (*PRB*) et développement de la gare de triage
- 6 Emulation du trigger de niveau 1 (*GT*)

IPNL

WP 3: Reconstruction des traces

- 7 Développement du système d'identification des traces (*chip AM, mezzanines FMCs*)
- 8 Développement du système de fit des traces (*encodage sur un FPGA*)

IPNL

WP 4: Intégration dans CMS

- 9 Mise en place de démonstrateurs (*fit seul, système complet, ...*)
- 10 Développement du système final si faisabilité prouvée

Compléments chambres à muons

